# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

04-372934

(43) Date of publication of application: 25.12.1992

(51)Int.CI.

G02F 1/136

G02F 1/133 G02F 1/1343

(21)Application number: 03-150798

**0798** (71)Applicant :

**TOSHIBA CORP** 

(22)Date of filing:

24.06.1991

(72)Inventor: KUBC

KUBO AKIRA

DOJIRO MASAYUKI

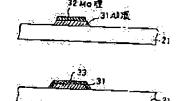
IBARAKI NOBUKI

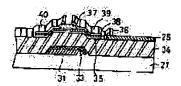
# (54) MANUFACTURE OF ARRAY SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

## (57) Abstract:

PURPOSE: To easily form a taper and provide a large screen for an active matrix type liquid crystal display device with high precision by laminating an aluminum metal and a molybdenum metal in sequence, applying etching machining with the mixed acid of phosphoric acid, acetic acid and nitric acid, then removing the upper molybdenum metal.

CONSTITUTION: An aluminum film 31 is accumulated on an insulating substrate 21 by sputtering, and a molybdenum film 32 is accumulated on it by sputtering. A scanning line pattern containing a gate electrode is formed on the laminated film by photolithography, and the aluminum/molybdenum laminated film is etched with the mixed acid of phosphoric acid, acetic acid and nitric acid to manufacture a scanning line pattern. Side etching is applied to molybdenum due to the difference in the etching rate, and a gradual taper is formed. The mixed acid with the mixing ratio for etching only molybdenum is used to remove only the molybdenum film 32, and the scanning line pattern of a molybdenum/tantalum film 33 is formed on the aluminum film 31.





## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

# (12) 公開特許公報(A)

(11)特許出願公開番号

# 特開平4-372934

·~.;

4

(43)公開日 平成4年(1992)12月25日

(51) Int.Cl. <sup>5</sup>		識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F	1/136	500	9018-2K		
	1/133	5 5 0	7820-2K		
	1/1343		9018-2K		

## 審査請求 未請求 請求項の数1(全 5 頁)

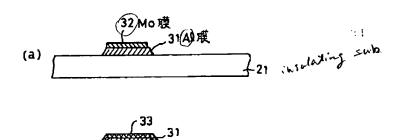
(21)出願番号	特顧平3-150798	(71)出願人	000003078	
			株式会社東芝	
(22)出顧日	平成3年(1991)6月24日		神奈川県川崎市幸区堀川町72番地	
		(72)発明者	久保 明	
			神奈川県横浜市磯子区新杉田町8番地	株
			式会社東芝横浜事業所内	
		(72)発明者	堂城 政幸	
			神奈川県横浜市磯子区新杉田町8番地	株
			式会社東芝横浜事業所内	
		(72)発明者	<b>茨木</b> 伸 <b>樹</b>	
			神奈川県横浜市磯子区新杉田町8番地	株
			式会社東芝横浜事業所内	
		(74)代理人	弁理士 則近 憲佑	

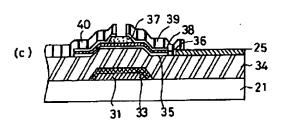
# (54) 【発明の名称】 液晶表示装置用アレイ基板の製造方法

#### (57) 【要約】

【構成】液晶表示装置用アレイ基板の製造方法に関し、AI膜31とMo膜32を順次積層し、燐酸、酢酸及び硝酸の混酸でエッチング加工した後に、上層のMo膜32を除去する工程を備える。

【効果】テーパーの形成が容易で、走査線抵抗が小さい アレイ基板が得られ、アクティブマトリクス型液晶表示 装置の大画面化・高精細化に有用である。





(b)

#### 【特許請求の範囲】

【請求項1】 絶縁性基板上に走査線と信号線をマトリ クス状に形成し、この交点に薄膜トランジスタ及び表示 電板を配置してなる液晶表示装置用アレイ基板の製造方 法において、アルミニウム金属とモリブデン金属を順次 積層し、燐酸、酢酸及び硝酸の混酸でエッチング加工し た後に、上層の前配モリブデン金属を除去する工程を備 えることを特徴とする液晶表示装置用アレイ基板の製造 方法。

#### 【発明の詳細な説明】

[0001]

【産業上の利用分野】この発明は、液晶表示装置用アレ イ基板の製造方法に関し、特に走査線の形成方法に関す

[0002]

【従来の技術】 薄膜トランジスタ (TFT) アレイは、 アクティブマトリックス型液晶表示素子に適用され、コ ントラスト比の高さ、応答速度の点で他の液晶表示素子 に比べ格段に優れ、平面型表示装置の本命と目され脚光 を浴びている。また、TFTアレイの半導体材料とし 20 て、アモルファスシリコン (a-Si) が多く用いられ ているが、構造的にゲート電極上にゲート絶縁層を設 け、その上に半導体層、ソース・ドレイン電極を設けた いわゆる逆スタガード型が採用されることが多い。

【0003】図3は逆スタガード型のTFTアレイの要 部を示す断面図である。図3において、ガラス基板1上 には、例えばモリプデン・タンタル(MoTa)合金か らなるゲート電極2及びこれと一体の走査線がパターン 形成されている。次に、ゲート絶縁膜3, 4、a-Si抵抗アモルファスシリコン (n+ a-Si) 膜7が形成 されている。続いて、ITO(インジウム錫酸化膜)か らなる表示電極8が形成されている。その後、信号線と 一体のドレイン電極9、及びソース電極10がパターン 形成され、TFTアレイが完成する。

#### [0004]

【発明が解決しようとする課題】液晶表示装置の表示部 分が大画面化或いは高精細化されるに伴い、走査線が長 くなることや、画素の開口率をほぼ一定にするため走査 線の幅が細くなることに起因して、走査線抵抗の高抵抗 40 化が起こる。この結果、走査信号の波形が歪み、信号の 伝搬遅延が起こる。このことが画像の不均一化となって 現れ、画質低下を招くことになる。そこで、走査線抵抗 を低抵抗化する必要がある。走査線抵抗値は、対角14 インチ画面サイズで画素数800×1000(走査線数 800本) のときに、シミュレーションによると約0. 3 ♀/□以下としなければならない。低抵抗金属である アルミニウム (A1) を走査線材料に使用すればよい が、単独で用いると製造工程中の熱処理工程にてヒロッ クを生じ、走査線と信号線の層間絶縁性を大きく悪くす 50 の符号を付してある。図2において、製造工程に従って

る問題がある。また、逆スタガード型TFTでは、ゲー ト上に各種の膜が形成され、それらの膜からなる配線等 の段差部での段切れ防止用にテーパー形状とすることが 望ましい。従来のゲート電極はMoTaを成膜後、ドラ イエッチングでパターンを形成しているが、テーパーを 形成するためにガス条件、ガス圧等に工夫を要する。

[0005]

【課題を解決するための手段】この発明は、絶縁性基板 上に走査線と信号線をマトリクス状に形成し、この交点 10 にTFT及び表示電極を配置してなる液晶表示装置用ア レイ基板の製造方法についてのものであり、走査線を形 成する際に、A1金属とモリプデン(Mo)金属を順次 積層し、燐酸、酢酸及び硝酸の混酸でエッチング加工し た後に、上層のMo金属を除去する工程を備えている。 更に、この工程において、上層のMo金属を除去した 後、Al金属上を他の金属例えばMoTa合金、タンタ ル(Ta)金属、チタン(Ti)金属及びクロム(C r) 金属等で被覆してもよい。

[0006]

【作用】この発明において、テーパー加工については、 例えば燐酸、酢酸及び硝酸の混酸で、AlよりもMoの エッチングレートが大きくなる混合比率の液を用いれば 可能である。その後、Mo酸化膜による膜はがれ防止の ために、Moのみエッチングを行い、Alのみの走査線 にして、低抵抗の配線を形成することができる。更に、 このA1上に他の金属 (MoTa、Ta等) を積層する と、ヒロック防止や耐薬品処理を図ることができる。こ のように形成したアレイ基板は、層間絶縁性について全 く問題なく且つ他の金属がA1上に存在するためにA1 膜5、保護膜6が積層されてバターニングされた後、低 30 のヒロックが起こらないことから、走査線と信号線等の 層間の短絡は起こらない。また、Alの膜厚を200n m、他の金属例えばMoTaの膜厚を100nmとした とき、配線抵抗はMoTa膜厚300nmのときの約9 分の1となり、低抵抗化を図ることができる。

[0007]

【実施例】以下、この発明の詳細を図面を参照して説明

【0008】図1はこの発明の一実施例を用いたアクテ ィプマトリクス型液晶表示装置の等価回路図である。図 1において、絶縁性基板21上に、走査線22と信号線 23がマトリクス状に配設されている。そして、走査線 22と信号線23の交差部に、a-Si膜を有するTF T24が形成されている。更に、TFT24のドレイン は信号線23に接続され、ゲートは走査線22に接続さ れている。また、TFT24のソースには、各画素の表 示電極25と液晶容量26及び補助容量27が接続され ている。

【0009】図2はこの実施例におけるTFT部の製造 工程を示す断面図であり、図1と対応する部分には同一

説明する。まず、図2(a)に示すように、例えばプラ ズマCVD法によるSiOx 膜付きガラスからなる絶縁 性基板21上に、スパッタ法により、A1膜31を20 Onm堆積させる。このとき、A1膜31はA1合金例 えばCu1原子%、Si0、5原子%含むA1膜でも可 能である。次に、このA1膜31上に、Mo膜32をス パッタ法により50nm堆積させる。続いて、この積層 膜上に、フォトリソグラフィを用いてゲート電極を含む 走査線パターンを形成し、燐酸+硝酸+酢酸の混酸を用 いてA1/Mo積層膜のエッチングを行い、走査線パタ ーンを作製する。このとき、エッチング時にエッチング レートの差からMoにサイドエッチが入り、なだらかな テーパーを形成する。次に、燐酸+硝酸+酢酸のMoの みエッチングする比率の混酸を用いて、図2(b)に示 すように、Mo膜32のみ除去する。続いて、A1膜3 1上にMoTa膜33をスパッタ法により50nm堆積 させる。次に、MoTa膜33のエッチングを行い、A 1膜31とMoTa膜33からなる走査線パターンを作 製する。

【0010】続いて、図2(c)に示すように、プラズ 20 マCVD法によりSiOx 膜34、SiNx 膜35、a -Si膜36及びSiNx膜37を連続堆積させる。次 に、上層のSiNx 膜37をパターニングし、前処理後 に、ソース・ドレイン電極のコンタクトとしてn<sup>+</sup> a-Si膜38をプラズマCVD法により堆積させる。次 に、a-Si膜36をパターニングし、例えばITO膜 からなる表示電極25を形成する。続いて、走査線22 のパッド部 (図示せず) の開口を、HF系エッチング液 で行う。次に、スパッタ法によりA1を堆積させ、これ を図1に示す信号線23、及びソース電極39とドレイ 30 22 ·····・走査線 ン電極40として形成する。この後、RIE(Reactive Ion Etching) により、a-Si膜36のチャネル部と 対向するn<sup>+</sup> a-Si膜38を除去し、液晶表示装置用 アレイ基板が完成する。

【0011】この実施例において、走査線抵抗は、平均 走査線幅を30μm、走査線長を20cmとしたとき

に、約1 k Ωとなり、これと同じ配線幅・配線長で膜厚 3000オングストロームのMoTa膜からなる走査線 抵抗は約9 k Ωとなるので、走査線抵抗を従来に比べ1 /9に低減することができた。また、A1膜31とMo 膜32のエッチング選択比の高い燐酸+硝酸+酢酸の混 酸からなるエッチング液を用いることにより、走査線と してのA1膜31のなだらかなテーパー加工が可能であ る。<br />
更に、<br />
A 1 膜 3 1 上を<br />
M o T a 膜 3 3 で保護するこ とにより、熱処理により発生するA1のヒロックを防ぐ 10 ことができた。また、A1膜31上にMoTa膜33を 形成することにより、走査線形成以降の工程において、 従来より用いられていたMoTaプロセスを採用するこ とができた。

#### [0012]

【発明の効果】この発明は、A1金属とMo金属を順次 . 積層し、燐酸、酢酸及び硝酸の混酸でエッチング加工し た後に、上層のMo金属を除去する工程を備えることに より、走査線抵抗は低抵抗化され、層間絶縁性が優れ、 容易にテーパーの形成を可能にするので、液晶表示装置 の大画面化・髙精細化を図ることが可能となる。

### 【図面の簡単な説明】

【図1】この発明の一実施例を用いたアクティブマトリ クス型液晶表示装置の等価回路図である。

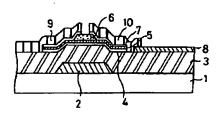
【図2】この発明の一実施例におけるTFT部の製造工 程を示す断面図である。

【図3】従来のTFTアレイの要部を示す断面図であ る。

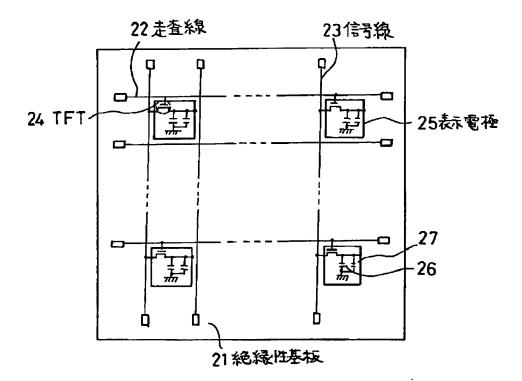
#### 【符号の説明】

- 21……絶縁性基板
- 23 ......信号線
- 2 4 ····· T F T
- 25……表示電極
- 31·····A1膜
- 32 ······Mo膜

【図3】



【図1】



[図2]

